

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 808 345

(21) N° d'enregistrement national : 00 05366

(51) Int Cl<sup>7</sup> : G 06 F 13/14, H 04 L 12/56, G 01 S 5/02

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 27.04.00.

(71) Demandeur(s) : IMEDI Société à responsabilité limitée  
— FR.

(30) Priorité :

(72) Inventeur(s) : COGNET YVES.

(43) Date de mise à la disposition du public de la  
demande : 02.11.01 Bulletin 01/44.

(73) Titulaire(s) :

(56) Liste des documents cités dans le rapport de  
recherche préliminaire : Se reporter à la fin du  
présent fascicule

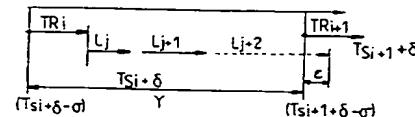
(74) Mandataire(s) : CABINET ORES.

(60) Références à d'autres documents nationaux  
apparentés :

(54) PROCEDE D'EMISSION PAR UN EQUIPEMENT INFORMATIQUE D'UNE TRAME MARQUEE  
TEMPORELLEMENT.

(57) L'invention concerne un procédé d'émission par un  
équipement informatique d'une trame marquée temporellement. Il met en oeuvre :

- la génération à un instant donné  $T_s$  d'une trame dont le  
marquage temporel  $T_o$  est égal à  $T_s + \delta$ ,  $\delta$  étant un intervalle  
de temps nécessaire à l'équipement informatique entre la  
génération d'une trame marquée temporellement et l'émis-  
sion de son dernier bit,  
- l'émission de ladite trame marquée temporellement gé-  
nérée à l'instant  $T_s$  lorsqu'une horloge de temps absolu de  
l'équipement informatique atteint une valeur égale à  $T_s + \delta - \sigma$ ,  $\sigma$  étant le temps nécessaire à l'émission des bits de ladite  
trame, de sorte que le dernier bit de la trame est émis à l'in-  
stant  $T_s + \delta$ .



FR 2 808 345 - A1



PROCEDE D'EMISSION PAR UN EQUIPEMENT INFORMATIQUE D'UNE  
TRAME MARQUEE TEMPORELLEMENT

La présente invention a pour objet un procédé d'émission par un équipement informatique d'une trame marquée temporellement.

Il est connu d'utiliser des trames spéciales marquées temporellement pour mesurer le temps de transfert entre un équipement informatique et un équipement distant auquel il est relié, par exemple par un réseau de communication, notamment l'Internet.

Selon les techniques connues, le marquage temporel ou « time stamping » que portent les trames correspond à l'instant de leur génération.

Les trames générées dans ces conditions ne permettent pas une mesure précise d'un temps de transmission qui est en toute rigueur défini par la norme comme l'instant qui sépare l'émission du dernier bit de la trame et la réception du premier bit de la trame par l'équipement distant.

On pourra se reporter aux documents provisoires suivants du Network Working Group :

- A One-Way Delay Metric for IPPM - G. Alnes et al (Request for Comments - September 1999)
- Instantaneous Packet Delay Variation Metric for IPPM - Demichelis et Chimento (Internet Draft - December 1999).

Dans l'état actuel des performances des réseaux tels que l'Internet, cette imprécision ne porte pas à conséquence, puisque les temps de transmission que l'on mesure peuvent atteindre plusieurs centaines de millisecondes, voire plusieurs secondes.

Cependant, la très nette tendance actuelle vers des réseaux à plus hauts débits ainsi qu'à la création de services pour lesquels le temps de transmission est garanti, impose de disposer d'un outil

de mesure plus performant à la "mesure" des services de haute qualité à contrôler.

On notera également qu'à l'imprécision mentionnée ci-dessus, s'ajoute une imprécision sur la valeur du temps absolu générée par l'horloge système de l'ordinateur en virtue du marquage temporel des trames. En effet, ainsi qu'il est bien connu, l'horloge système est soumise à des phénomènes de dérive et de gigue qui induisent une incertitude sur la valeur du temps absolu qui est au mieux de l'ordre de la dizaine de millisecondes.

1 Au moins un inconvénient précité est évité, selon l'invention, grâce à un procédé d'émission par un équipement d'informatique d'une trame marquée temporellement, caractérisée en ce qu'il met en œuvre :

1 la génération à un instant donné  $T_s$  d'une trame dont le marquage temporel  $T_o$  est égal à  $T_s + \delta$ ,  $\delta$  étant au moins égal à un intervalle de temps nécessaire à l'équipement informatique entre la génération d'une trame marquée temporellement et l'émission de son dernier bit ;

2 l'émission de ladite trame marquée temporellement générée à l'instant  $T_s$ , lorsqu'une horloge de temps absolu de l'équipement informatique atteint une valeur égale à  $T_s + \delta - \sigma$ ,  $\sigma$  étant le temps nécessaire à l'émission des bits de la trame, de sorte que le dernier bit de la trame est émis à l'instant  $T_s + \delta$ .

Il est avantageux que ladite horloge de temps absolu soit cadencée à une fréquence égale à une fréquence d'émission des bits de la trame par l'équipement informatique, ou bien à un multiple ou à un sous-multiple de celle-ci.

L'instant donné  $T_s$  est de préférence généré par un compteur de référence à partir d'un oscillateur mis à jour par une référence temporelle, l'oscillateur étant par exemple du type compensé en température (TCXO).

Ladite référence temporelle peut être en particulier générée par un récepteur d'une référence de temps universel, notamment un récepteur GPS.

L'horloge de temps absolu peut présenter un premier compteur constitué par l'édit compteur de référence et un deuxième compteur cadencé par une horloge d'émission de trames, dont la fréquence est égale à la fréquence d'émission des bits de trame par l'équipement informatique ou bien par une horloge dont la fréquence est égale à un multiple ou un sous-multiple de la fréquence de l'horloge d'émission de trames, et qui est remis à zéro par l'édit premier compteur.

Avantageusement, le procédé met en œuvre le stockage desdites trames marquées temporellement dans un premier registre, et le stockage d'autres trames, non marquées temporellement dans un deuxième registre et il met en œuvre une émission prioritaire d'une trame marquée temporellement, contenue dans le premier registre, au moins lorsque l'équipement informatique n'est pas à même d'émettre entièrement une trame contenue dans le deuxième registre avant l'instant  $T_s + \delta - \sigma$ , lequel correspond à l'instant où le premier bit de ladite trame marquée temporellement doit être émis.

Selon un mode de réalisation préféré, le procédé met en œuvre :

a) une analyse du contenu des premier et deuxième registres par respectivement un premier et un deuxième pointeur d'identification de trames, et

b) si au moins une trame est contenue dans le deuxième registre : calcul de sa durée d'émission, et calcul d'un temps théorique d'émission  $T_s$  qui est la somme du temps réel et de ladite durée d'émission de cette trame.

c) si ce temps théorique  $T_s$  est inférieur à  $T_s + \sigma - \delta$ , déclenchement de l'émission de ladite trame contenue dans le deuxième registre.

d) dans le cas contraire, mise en attente du deuxième pointeur.

e) répétition le cas échéant de b à d jusqu'à ce que le deuxième pointeur soit en attente.

5 f) si le deuxième pointeur est mis en attente ou si le test réalisé en a) indique que le deuxième registre ne contient pas de trame, alors l'émission de ladite trame marquée temporellement contenue dans le premier registre.

10 g) Emission de trames éventuellement contenues dans le deuxième registre et retour à a).

D'autres caractéristiques et avantages de l'invention apparaîtront mieux à la lecture de la description qui va suivre, et donnée à titre d'exemple non limitatif, en liaison avec les dessins dans lesquels :

15 la figure 1 illustre la mise en œuvre de l'invention dans le cadre d'un réseau de type Internet ;

20 les figures 2 et 3 illustrent la procédure d'émission de trames marquées temporellement, selon l'invention, en liaison avec l'architecture dont un mode de réalisation préféré est donné à la figure 4 ;

25 la figure 5 illustre une procédure de réception de trames marquées selon l'invention ;

la figure 6 est un mode de réalisation préféré dont une implémentation de l'invention sous forme d'un module.

30 L'invention propose donc d'émettre à partir d'une station ou d'un équipement, par exemple un ordinateur A, de trames TR, marquées temporellement, en direction d'équipements distants par exemple B, C et/ou D, etc ..., via un réseau, par exemple l'Internet. Un équipement tel qu'un serveur S peut être mis en œuvre pour récupérer les données de mesures auprès des stations A, B, C, D, etc ....

35 Comme on l'a indiqué ci-dessus, les procédés connus de réalisation de trames marquées temporellement

ne permettent pas une grande précision de détermination du temps de propagation entre une station d'émission et un équipement distant. Ceci est dû d'une part à l'imprécision de l'horloge locale utilisée par la station 5 d'émission et d'autre part au fait que le marquage temporel qui est inscrit sur la trame ne correspond pas exactement au temps d'émission, fût-il imprécis, donné par l'horloge locale.

Dans le cas d'un réseau tel que le réseau 10 Internet classique, dans lequel les débits sont faibles et/ou les durées de transmission sont élevées, cette incertitude ne perturbe pas les mesures de manière significative.

La situation est par contre entièrement 15 différente lorsqu'on s'intéresse à des réseaux à haut débit par exemple un réseau Internet ou Intranet et plus particulièrement à des services dont on veut garantir la qualité. A ce moment, il faut disposer d'un outil de mesure permettant de mesurer avec précision et de manière 20 répétitive le temps de transmission entre l'équipement émetteur et un équipement distant qui reçoit le service concerné.

Il existe également une autre méthode de mesure du temps de propagation, qui consiste à mesurer le 25 temps de propagation aller/retour en supposant que le temps de propagation est statistiquement égal dans chaque direction. Cette méthode ne convient pas à des réseaux tels que le réseau Internet dans lequel les trajets ne sont pas forcément les mêmes dans les deux sens et dans 30 lequel les temps de propagation associés peuvent être très différents en raison de l'existence de différents fournisseurs d'accès. Il en résulte que ce procédé ne permet pas l'obtention d'une précision élevée, et qu'en toute rigueur la précision qu'il procure n'est pas 35 directement quantifiable.

L'idée de base de l'invention est de s'affranchir au moins de l'écart entre le marquage temporel de la trame et l'instant de son émission en marquant celle-ci à un instant futur représentant 5 l'instant d'émission effectif de la trame.

Comme le montre la figure 2, une trame  $TR_i$  est marquée à un instant  $T_{s,i}$  avec un marqueur temporel dont la valeur est égale à  $T_{s,i} + \delta$ .  $\delta$  est au moins égal au temps nécessaire à l'émission complète de la trame à partir de 10 son élaboration. L'équipement A est configuré pour que la trame soit émise à un instant  $T_{s,i} + \delta - \sigma$ ,  $\sigma$  étant la durée nécessaire à l'émission de l'ensemble des bits de la trame.

Dans ces conditions, le premier bit de la 15 trame commence à être émise à l'instant  $T_{s,i} + \delta - \sigma$  et son dernier bit est émis à l'instant  $T_{s,i} + \delta$  qui correspond exactement à son marquage temporel.

Le dispositif de l'invention est généralement utilisé dans une installation qui émet, outre des trames 20 marquées temporellement, des trames d'émission ordinaires, qui ne sont pas marquées temporellement selon le procédé de l'invention.

Un séquenceur permettant l'implémentation de l'invention, ainsi que l'éventuelle gestion de la 25 priorité des trames, est maintenant décrit en liaison avec les figures 3 et 4.

Pour réaliser des mesures de propagation dans un sens ou dans le cadre d'un trajet aller/retour, le serveur S présente une horloge temps réel RTC pilotée par 30 un oscillateur à quartz Q contrôlé en température (TCXO) de manière à présenter une précision suffisante dans le temps, ainsi qu'une faible dérive. La précision d'une telle horloge RTC est typiquement de l'ordre de  $\pm 1$  PPM et l'erreur est d'environ  $\pm 1$  mn par an pour une gamme de 35 température comprise entre 0 et 40°C.

On utilise par exemple un oscillateur à 32768 Hz dont la fréquence est multipliée par un multiplicateur de fréquences cohérent en phase SML. A cet effet, un compteur est alimenté par l'horloge réseau RTC et est resynchronisé en permanence avec l'horloge RTC.

Les trames sont émises par une interface INT cadencée par une horloge réseau HR. Le réseau est par exemple, un réseau ETHERNET à 100 Mbps cadencé par une horloge à 100 MHz avec une précision de  $\pm 50$  PPM. La gigue de cette horloge est de l'ordre de 3 nanosecondes. Si on veut maintenir cette gigue en dessous de la durée d'un bit à 1 GHz, il faut diviser la période de l'oscillateur TC à l'aide du multiplicateur de fréquence FML précité.

Une synchronisation des horloges RTC de l'ordinateur au serveur A qui émet les trames, vers les équipements distants B, C, D, etc ... peut être obtenue à l'aide d'un récepteur GPS qui resynchronise périodiquement l'horloge RTC sur le temps universel UTC. Cette synchronisation permet de maintenir la dérive à une valeur aussi faible que possible, la valeur de cette dérive dépendant de la périodicité de cette synchronisation.

La précision maximale qui peut être obtenue entre le temps UTC et la valeur portée par la trame marquée temporellement est de l'ordre de  $\pm 1$  bit de l'horloge réseau HR. La mise en œuvre d'un récepteur GPS permet de maintenir l'écart entre la valeur portée par le marqueur temporel et le temps universel UTC à une valeur typiquement de l'ordre de 100 nanosecondes. Pour une mesure de temps de transit, la précision maximale obtenue est donnée par le GPS (typiquement 100 ns). Dans le cas d'une mesure de temps de latence (variation du temps de transit), la précision est de l'ordre de la durée d'un bit de l'horloge réseau HR (soit 10 ns pour une horloge à 100 MHz dans l'exemple ci-dessus).

Le dispositif comporte :

- un microprocesseur CPU avec sa mémoire vive RAM et sa mémoire programmable PROM associées, cette dernière contenant le séquenceur de la figure 4, une horloge RTC pilotée par un quartz et synchronisée sur le temps universel par un récepteur GPS,
- un multiplicateur de fréquence FML qui peut être éventuellement utilisé pour améliorer la résolution de l'horloge RTC,
- 10 - une interface réseau INT qui comporte une section de transmission TR et une section de réception RE, laquelle comporte un tampon d'émission de réception ainsi qu'un contrôleur de réseau. Pour assurer un traitement rapide des données vers le réseau et à partir de celui-ci, un accès direct en mémoire DMA peut être mis en œuvre pour traiter les données. Par exemple un contrôleur de réseau classique peut être un réseau ETHERNET avec sa logique et son horloge HR associées.

Le dispositif qui met en œuvre l'invention peut être un dispositif séparé ou bien il peut être incorporé à un ordinateur auquel il est couplé par un bus local tel qu'un bus BCI.

Au démarrage, l'unité centrale CPU initialise le contrôleur de réseau et les différents registres tels que ceux de l'horloge RTC. L'horloge RTC est initialisée avec la valeur lue dans le récepteur GPS.

Lorsqu'une entité ou un programme donne l'ordre au CPU d'envoyer une trame marquée temporellement, le CPU lit le temps  $T_s$  dans l'horloge RTC. Il ajoute à cette valeur un retard  $\delta$  suffisant pour permettre la compensation des délais dus aux différentes entités telle que marqueur tampon, copie de trame ou DMA. Un autre délai  $\sigma$  est calculé de manière à tout prendre en compte la longueur de la trame étant donné que le marquage temporel doit représenter, selon la norme, le

moment auquel le dernier bit de la trame est émis par l'interface INT.

La trame est marquée avec la valeur  $T_s + \delta$  et selon un format connu qui est donné par la norme, et elle 5 est transférée à la mémoire tampon de transmission du contrôleur de réseau.

La valeur  $T_s + \delta - \sigma$  est calculée pour déterminer l'instant d'émission de la trame. Dans le cas où toutes les trames marquées temporellement ont la même 10 longueur, les valeurs  $T_s + \sigma$  peuvent être calculées au démarrage du programme et peuvent être fixées pour toute la campagne de mesure, sauf pour les réseaux LDLC dans lesquels les insertions de bit sont susceptibles d'intervenir.

15 La valeur du retard  $\sigma$  peut varier d'une technologie de réseau à une autre. Par exemple pour un réseau ETHERNET, de manière à se conformer au standard CSMA/CD, ce retard doit être plus grand que la taille maximale de la trame y compris le CRC et le préambule. 20 Pour un réseau HDLC, le calcul du retard  $\sigma$  peut prendre en compte, ainsi qu'il a été indiqué ci-dessus, de la procédure d'insertion d'un bit 0 qui a lieu chaque fois que 5 « un » consécutifs sont détectés dans la trame.

25 Lorsqu'une trame doit être transmise, la section de transmission du contrôleur de réseau détecte s'il y a un marqueur temporel dans la trame. Cette détection peut s'opérer de diverses manières, par exemple à l'aide d'un marqueur d'un protocole spécifique. S'il n'y a pas de marquage temporel, la trame est 30 immédiatement envoyée. Si un marquage temporel est détecté, la section de transmission du contrôleur de réseau attend jusqu'à ce que la valeur du temps universel correspondant au marquage temporel  $T_s$ , diminué de la quantité  $\sigma$  soit égale à la valeur correspondante donnée 35 par l'horloge RTC. Ce temps universel peut être par exemple exprimé dans un format compatible avec des

circuits logiques peu coûteux, tels que les compteurs binaires. Il peut par exemple s'agir du nombre de nanosecondes écoulées depuis le 1<sup>er</sup> janvier 1970. Lorsque les deux valeurs sont égales, la trame est envoyée 5 immédiatement.

Comme le montre la figure 1, la trame est estampillée temporellement avec une valeur dans le futur. L'écart  $\gamma$  entre deux trames marquées temporellement (31si, 31si + 1) doit être supérieur au temps nécessaire à 10 la transmission d'une trame (voir figure 3). Étant donné que la taille d'une trame peut varier, la limite inférieure de  $\gamma$  est le temps que prend la transmission de la plus longue trame au plus faible débit en ligne correspondant à la technologie de réseau mise en œuvre. 15 Par exemple pour un réseau ETHERNET à 100 MHz, la valeur minimale de  $\gamma$  est de 1227,2 microsecondes, à moins d'abréger la longueur maximale autorisée d'une trame.

S'il existe une trame marquée temporellement qui attend d'être transmise et si le temps restant pour 20 l'émettre est inférieur au temps que prendrait la transmission d'une autre trame non marquée temporellement, le contrôleur de transmission met en attente toutes les trames non marquées temporellement. Ceci doit être effectué de manière à éviter de retarder 25 la transmission de la trame marquée temporellement et de l'émettre prioritairement à l'instant choisi. Cette procédure assure que toute trame marquée temporellement sera envoyée à l'instant exact choisi. A cet effet, le contrôleur de transmission présente deux tampons 30 d'émission, un tampon LQ utilisé pour toutes les trames classiques et un tampon TQ pour toutes les trames marquées temporellement.

Si le tampon TQ est vide, le contrôleur émet 35 les trames qui sont en attente dans le tampon LQ. Si une trame ou plusieurs trames attendent dans le tampon TQ, le

contrôleur vérifie s'il dispose du temps suffisant pour envoyer une ou plusieurs trames en attente dans le tampon LQ. A cet effet, il commence par compter les bits de la première trame en attente dans le tampon LQ. Si le nombre 5 de bits de cette trame correspond pour son émission à un intervalle de temps qui est inférieur à la différence entre la valeur  $T_s + \delta - \sigma$  correspondant à la trame qui attend dans le tampon TQ, et la valeur instantanée donnée par l'horloge RTC, c'est qu'il reste assez de temps pour 10 émettre cette trame du tampon LQ, il émet alors la première trame du tampon LQ. Si ce délai est plus grand que le délai restant, le tampon LQ sera mis en attente. Cette procédure se renouvelle pour les autres trames éventuellement en attente dans le tampon LQ, jusqu'à ce 15 qu'elles aient été émises ou que le tampon LQ ait été mis en attente pour permettre l'envoi d'une trame marquée temporellement présente dans le tampon TQ.

Chaque fois que le séquenceur reçoit une requête de transmission d'une trame, il détecte si celle- 20 ci est ou non marquée temporellement et la place dans la pile voulue LQ ou TQ. La section de transmission décode le marquage temporel  $T_s + \delta$  porté par la trame et lui soustrait le temps d'émission  $\sigma$ . La valeur résultante  $T_s + \delta - \sigma$  qui est égale au temps d'émission au bit près 25 (wire time) de cette trame est stockée dans un registre REGT<sub>t</sub>.

Chaque fois que le séquenceur est activé, la valeur du temps RTC est chargée dans un registre C<sub>th</sub> qui est mis à jour à chaque cycle du quartz Q. Un second 30 registre C<sub>tl</sub> qui est remis à zéro chaque fois que le registre C<sub>th</sub> est incrémenté de 1 est alimenté par l'horloge HR du réseau, par exemple à 100 MHz pour un réseau ETHERNET. De la sorte, C<sub>tl</sub> est incrémenté de 1 toutes les 10 nanosecondes. Ceci permet de conserver la 35 précision recherchée sans avoir à caler en fréquence et/ou en phase l'horloge réseau HR par rapport à

l'horloge RTC, dont la fréquence est supérieure à celle de l'horloge réseau HR, mais dont la précision est de l'ordre de  $\pm 1$  bit de l'horloge réseau, ce qui suffit à déterminer la valeur de  $T_{sf}$  pour une trame TR.

5 En parallèle, le séquenceur analyse le contenu des tampons LQ et TQ. A cet effet, il maintient deux pointeurs internes qui identifient les trames qui sont susceptibles d'être transmises dans chacune de files d'attente.

10 Chaque fois qu'une trame est détectée dans la file d'attente LQ, le séquenceur détermine la durée nécessaire à la transmission de cette trame. A cette valeur stockée dans un registre FTDR est ajoutée la valeur du temps universel contenue dans le registre RT.

15 La valeur qui en résulte est stockée dans un registre ADD. Le contenu ven est comparé avec le contenu du registre REGT<sub>c</sub>. Si le contenu du registre ADD est inférieur au contenu du registre REGT<sub>c</sub>, alors le sélecteur de trame est mis à jour à la valeur portée par le pointeur de la file LQ et la trame est envoyée. Dans le cas contraire, le pointeur de la file LQ est marqué en attente et le sélecteur de trame est mis à jour par la valeur portée par le pointeur et la trame en attente dans le tampon TQ.

20 Si le tampon TQ n'est pas vide et si le pointeur de la file LQ est en attente, c'est qu'une trame marquée temporellement doit être émise. Cette émission a lieu lorsque le comparateur TEST détecte une coïncidence entre le contenu des registres REGT<sub>c</sub> et du registre C.

25 Une fois qu'une trame marquée temporellement a été émise, le sélecteur de trame à émettre est remis à zéro. On introduit des « un » dans les positions du registre RGT<sub>c</sub>. Le séquenceur pourra alors émettre les trames en attente dans le tampon LQ et on reviendra au point de départ, c'est-à-dire à l'analyse du contenu des files d'attente LQ et TQ.

La réception des trames est décrite en relation avec la figure 5. La norme RFC 2330 définit le temps de réception (« wire arrival time ») d'un paquet ou trame P comme étant l'instant auquel un bit quelconque de la trame ou du paquet est reçu. Lorsqu'en mode réception RE, l'interface INT détecte le premier bit d'une trame entrante, la valeur du compteur C<sub>t</sub> est transférée dans un registre REGR<sub>t</sub>. Une fois la trame reçue, la section de réception du contrôleur de réseau analyse au vol le contenu des données de la trame de manière à détecter s'il existe un marquage temporel dans le champ de marquage temporel de la trame reçue. Si ce n'est pas le cas, et une fois le dernier bit reçu, la trame est transférée dans le tampon de réception RQ, et la section de réception signale à l'unité centrale qu'une trame est disponible.

Dans le cas où un marquage temporel est détecté, le contrôleur de réception effectue les tâches suivantes :

20 il attend la fin du signal de trame qui est fourni par l'interface réseau,

il lit la valeur du registre REGR<sub>t</sub> et il calcule la valeur du temps universel qui correspond au contenu de ce registre,

25 il ajoute à la fin de la trame la valeur de ce temps universel et la dirige dans le tampon de réception RQ,

il signale à l'unité centrale qu'une trame a été reçue.

30 Dans le cas de deux équipements distants mettant en œuvre l'invention, la différence entre le marqueur temporel et la valeur du temps universel qui a été ajouté en fin de trame donne une mesure précise du temps de propagation de la trame qui est défini selon la norme comme le temps séparant l'émission du dernier bit

de la trame émise et la réception du premier bit de la trame reçue.

Comme le montre la figure 6, le dispositif selon l'invention peut être séparé en trois parties :

5 - l'unité centrale CPU de hautes performances tel que le composant SH7750 d'HITACHI qui présente 4 canaux DMA, une mémoire dynamique SDRAM, une mémoire flash, une horloge de temps réel tel qu'une puce DALLAS DLS 1688 associée à un oscillateur TCXO DS 32 KHz ou bien 10 un module RTC qui est intégré au processeur SH7750. Il comporte également un module mémoire flash programmable EPROM par exemple SM732 de SMART MODULE TECHNOLOGIES qui contient les instructions du séquenceur. Un module SDRAM référencé MT48LC4 de MICRON, contient les registres 15 tampon d'émission et de réception référencés LQ, TQ et RQ.

Le contrôleur réseau peut être un contrôleur LSC LOGIC ETHERNET 80c300 10/100 Mbps avec son circuit d'interface associé 80-225 ou bien encore un contrôleur 20 WAN référencé SC26C552 de PHILIPS.

Le récepteur GPS peut être un module MOTOROLA ONCORE TU plus, couplé à une antenne A.

Le module de la figure 6 sert donc d'interface réseau pour valider les fonctions de l'invention, ainsi 25 qu'éventuellement pour l'émission et la réception de trames non marquées temporellement.

On comprendra que le circuit de la figure 6 qui constitue un module s'ajoutant à un ordinateur existant tel qu'un PC peut être simplifié en supprimant 30 le registre LQ, ce qui fait que le module est susceptible de n'émettre que des trames marquées temporellement, ce qui supprime la gestion des priorités. Par contre à la réception, le module conserve la fonction de tri entre les trames marquées temporellement et les autres. On 35 notera que, dans le cadre de la présente invention, il n'est pas nécessaire que l'horloge RTC soit de grande

précision. Par exemple, une précision élevée n'est pas nécessaire dans le cadre d'une mesure d'un temps de transmission aller/retour, puisque la même horloge RTC marque les trames à leur départ et à leur arrivée.

5 D'autre part, la précision recherchée peut être obtenue en synchronisant entre elles l'horloge RTC d'un équipement avec celle de l'équipement distant, plutôt qu'en recherchant une précision intrinsèque élevée.

10 En outre, le dispositif décrit a pour but de permettre une adaptation la plus simple possible des architectures existantes dans lesquelles il existe déjà une horloge du microprocesseur CPU, et une horloge réseau HR. D'une manière générale, il n'est pas nécessaire de disposer de plusieurs horloges. Il serait en particulier 15 possible de réunir en une seule, l'horloge RTC et l'horloge réseau HR.

REVENDICATIONS

1. Procédé d'émission par un équipement informatique d'une trame marquée temporellement, caractérisé en ce qu'il met en œuvre :
  - 5 - la génération à un instant donné  $T_s$  d'une trame dont le marquage temporel  $T_0$  est égal à  $T_s + \delta$ ,  $\delta$  étant un intervalle de temps nécessaire à l'équipement informatique entre la génération d'une trame marquée temporellement et l'émission de son dernier bit,
  - 10 - l'émission de ladite trame marquée temporellement générée à l'instant  $T_s$  lorsqu'une horloge de temps absolu de l'équipement informatique atteint une valeur égale à  $T_s + \delta - \sigma$ ,  $\sigma$  étant le temps nécessaire à l'émission des bits de ladite trame, de sorte que le 15 dernier bit de la trame est émis à l'instant  $T_s + \delta$ .
2. Procédé selon la revendication 1, caractérisé en ce que l'horloge de temps absolu est cadencée à une fréquence égale à une fréquence d'émission des bits de trame par l'équipement informatique, ou à un 20 multiple ou à un sous-multiple de celle-ci.
3. Procédé selon une des revendications 1 ou 2, caractérisé en ce que l'instant donné  $T_s$  est généré par un compteur de référence à partir d'un oscillateur mis à jour par une référence temporelle.
- 25 4. Procédé selon la revendication 3, caractérisé en ce que l'oscillateur est du type compensé en température (TCXO).
- 30 5. Procédé selon une des revendications 3 ou 4, caractérisé en ce que ladite référence temporelle est générée par un récepteur d'une référence de temps universel, notamment un récepteur GPS.
- 35 6. Procédé selon une des revendications 3 à 5, caractérisé en ce que l'horloge de temps absolu présente un premier compteur constitué par ledit compteur de référence et une deuxième compteur cadencé par une horloge d'émission de trame, dont la fréquence est égale

à la fréquence d'émission des bits de trame par l'équipement informatique ou bien par une horloge dont la fréquence est égale à un multiple ou un sous-multiple de la fréquence de l'horloge d'émission de trames, et qui est remis à zéro par ledit premier compteur.

7. Procédé selon une des revendications précédentes, caractérisé en ce qu'il met en œuvre le stockage desdites trames marquées temporellement dans un premier registre et le stockage des autres trames dans un deuxième registre et en ce qu'il met en œuvre une émission prioritaire d'une trame marquée temporellement, contenue dans le premier registre au moins lorsque l'équipement informatique n'est pas à même d'émettre entièrement une trame contenue dans le deuxième registre avant l'instant  $T_s + \sigma - \delta$ .

8. Procédé selon la revendication 7, caractérisé en ce qu'il met en œuvre :

a) une analyse du contenu des premier et deuxième registres par respectivement un premier et un deuxième pointeur d'identification de trames.

b) Si au moins une trame est contenue dans le deuxième registre, calcul de sa durée d'émission, et calcul d'un temps théorique d'émission  $T_s$  qui est la somme du temps absolu et de ladite durée d'émission de cette trame.

c) Si ce temps théorique  $T_s$  est inférieur à  $T_s + \sigma - \delta$ , déclenchement de l'émission de ladite trame contenue dans le deuxième registre.

d) Dans le cas contraire, mise en attente du deuxième pointeur.

e) Répétition le cas échéant de b à d jusqu'à ce que le deuxième pointeur soit en attente.

f) Si le deuxième pointeur est mis en attente ou si le test réalisé en a indique que le deuxième registre ne contient pas de trame, émission de ladite

trame marquée temporellement contenue dans le premier registre.

g) Emission de trames éventuellement contenues dans le deuxième registre et retour à a).

1/2

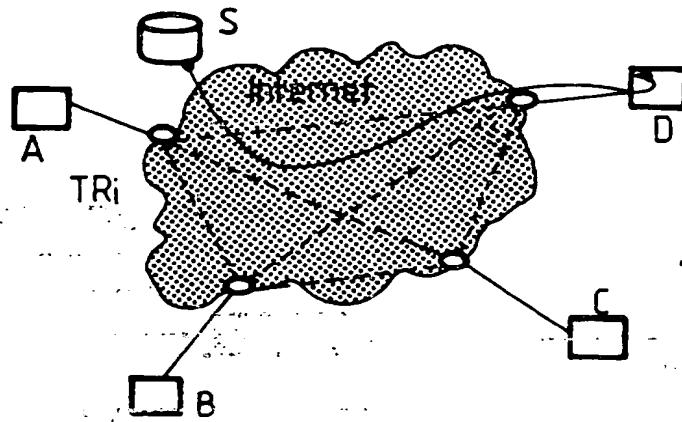


FIG.1

frame  $TR_i$  transmission de trame  $T_i$   
 marquée "T<sub>Si</sub>+ $\delta$ "  $\delta-\sigma$   $(T_{Si}+\delta-\sigma)$

FIG.2

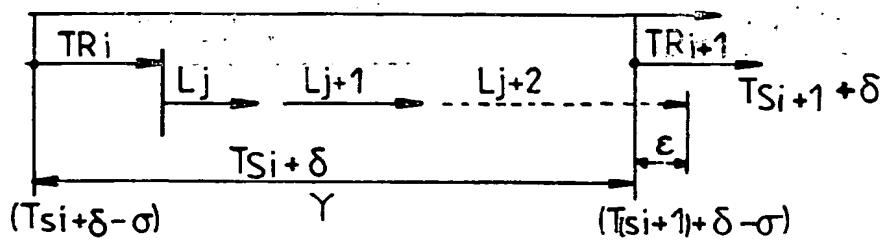


FIG.3

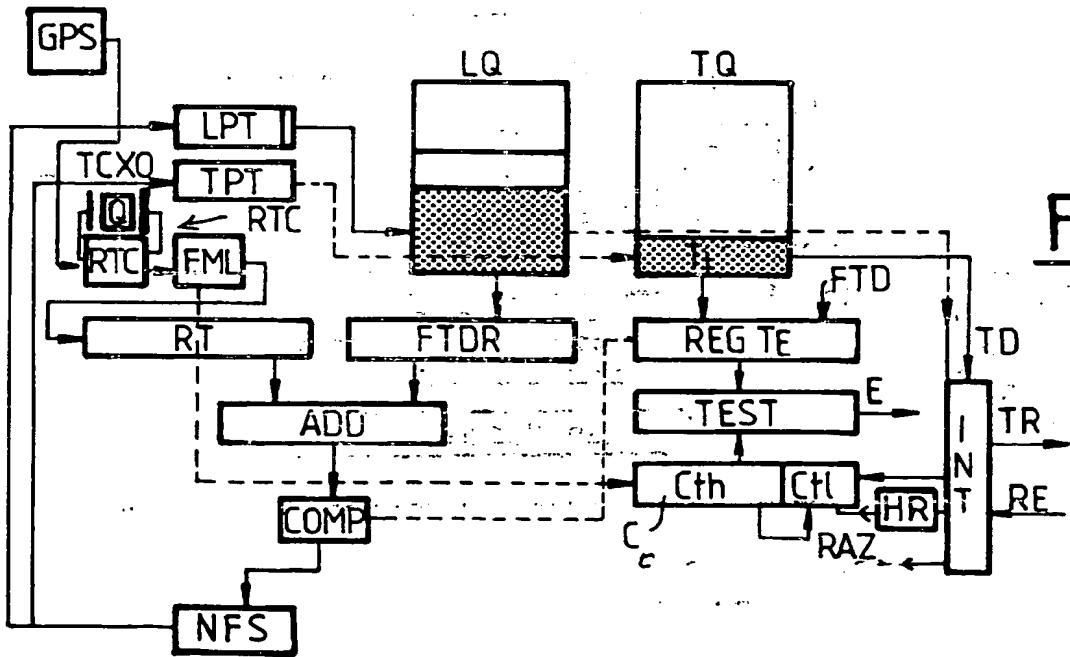
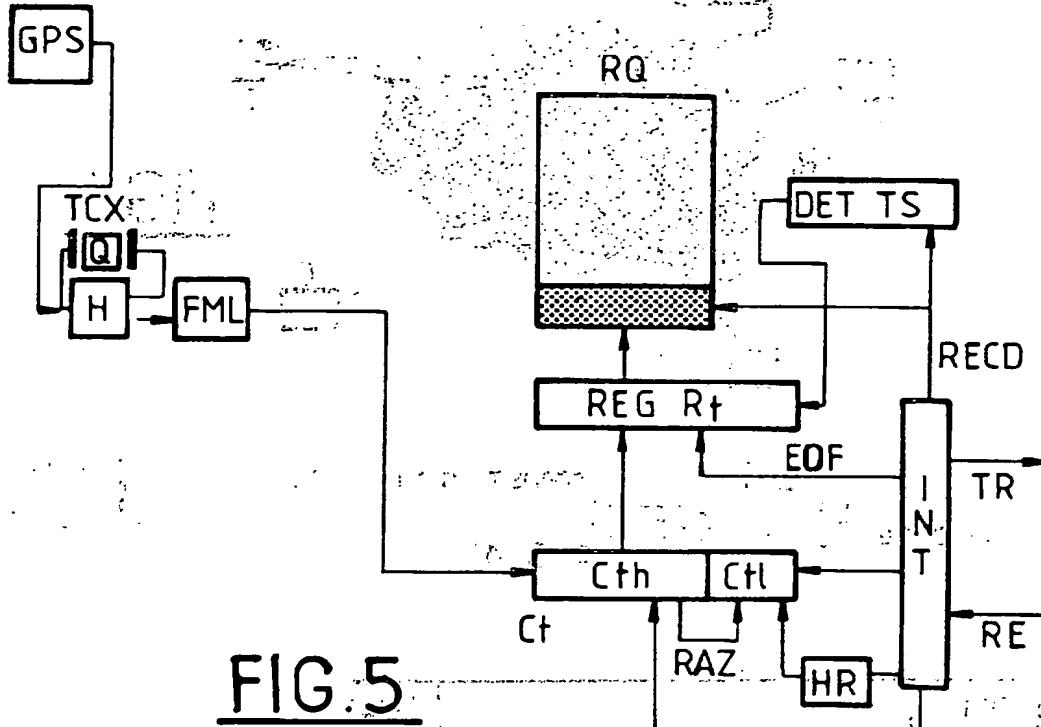
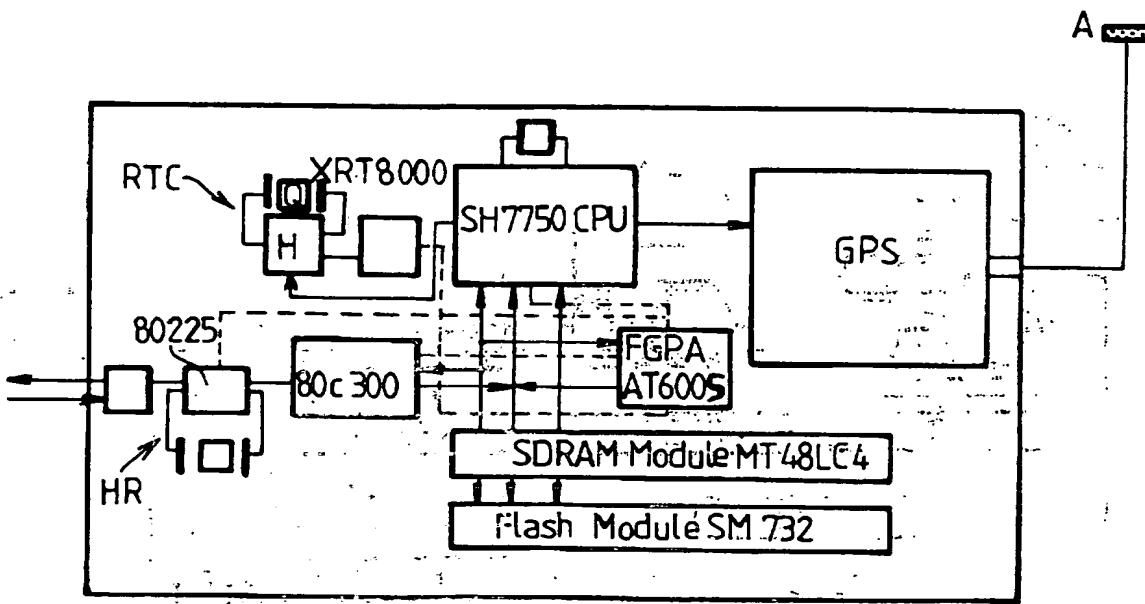


FIG.4

2/2

FIG.5FIG.6

**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

 établi sur la base des dernières revendications  
 déposées avant le commencement de la recherche

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI		
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes				
A	HALANG W A ET AL: "A HIGH-PRECISION TIMING AND INTERRUPT CONTROLLER TO SUPPORT DISTRIBUTED REAL-TIME OPERATING SYSTEMS" RIO DE JANEIRO, AUG. 13 - 16, 1995, NEW YORK, IEEE, US, vol. SYMP. 38, 13 août 1995 (1995-08-13), pages 9-12, XP000684502 ISBN: 0-7803-2973-2 * abrégé * * page 10, alinéa II * * page 11, alinéas VI, VII; figure 1 *	1,3,5,7	G06F13/14 H04L12/56 G01S5/02		
A	US 5 394 395 A (NAGAI TETSUYA ET AL) 28 février 1995 (1995-02-28) * le document en entier *	1,7			
A	US 5 859 835 A (STILIADIS DIMITRIOS ET AL) 12 janvier 1999 (1999-01-12) * colonne 10, ligne 62 - colonne 11, ligne 5 * * colonne 13, ligne 52-59 * * colonne 15, ligne 51 - colonne 16, ligne 45 * * colonne 17, ligne 46-49 * * colonne 24, ligne 29-61; figures 22,23 *	1,2,7,8	<b>DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)</b>  H04L		
2					
Date d'achèvement de la recherche		Examinateur			
15 janvier 2001		Hardelin, T			
CATÉGORIE DES DOCUMENTS CITÉS					
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire					
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant					